

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-313866

(43)Date of publication of application : 25.10.2002

(51)Int.Cl.

H01L 21/66
H01L 21/822
H01L 21/8234
H01L 27/04
H01L 27/088
H01L 29/78

(21)Application number : 2001-117352

(71)Applicant : MATSUSHITA ELECTRIC WORKS LTD

(22)Date of filing : 16.04.2001

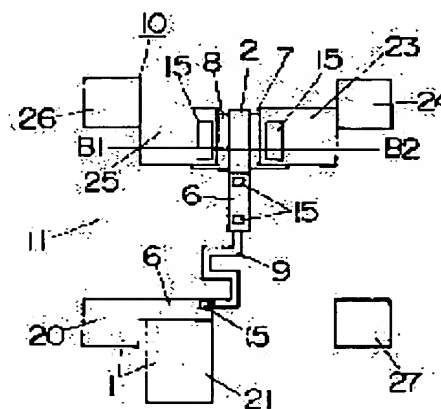
(72)Inventor : YASUDA MASAHARU
TAKAKURA NOBUYUKI

(54) GROUP OF ELEMENTS FOR PLASMA DAMAGE EVALUATION AND EVALUATION METHOD OF PLASMA DAMAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the group of elements for plasma damage evaluation that can evaluate plasma damage in both the manufacture and assembly processes of a semiconductor, and plasma damage to various kinds of semiconductor devices having different structures.

SOLUTION: In the group of elements for plasma damage evaluation for evaluating the damage of the semiconductor device due to the irradiation of plasma, the element 10 for plasma damage evaluation is composed by the semiconductor device having a conductor section 1 connected to a gate electrode 2 and a gate insulating film 5. The various kinds of elements 10 for plasma damage evaluation are provided. In the various kinds of elements 10 for plasma damage evaluation, at least one of antenna ratio defined by the ratio of the area of a portion exposed to the plasma of the conductor section 1 to the area of the gate electrode 2, the thickness of the gate insulating film 5, and the area of the gate electrode 2, is different.



- 1...導体部
2...ゲート電極
7...ソース電極
8...ドレイン電極
9...保護膜
10...プラズマダメージ評価用素子
11...半導体基板

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-313866

(P2002-313866A)

(43) 公開日 平成14年10月25日 (2002. 10. 25)

(51) Int.Cl.⁷

識別記号

F I

テームト* (参考)

H 0 1 L 21/66

H 0 1 L 21/66

Y 4 M 1 0 6

21/822

29/78

3 0 1 T 5 F 0 3 8

21/8234

27/04

H 5 F 0 4 8

27/04

27/08

1 0 2 C 5 F 1 4 0

27/088

審査請求 未請求 請求項の数 9 O L (全 11 頁) 最終頁に続く

(21) 出願番号

特願2001-117352(P2001-117352)

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(22) 出願日

平成13年4月16日 (2001. 4. 16)

(72) 発明者 安田 正治

大阪府門真市大字門真1048番地松下電工株式会社内

(72) 発明者 高倉 信之

大阪府門真市大字門真1048番地松下電工株式会社内

(74) 代理人 100087767

弁理士 西川 恵清 (外1名)

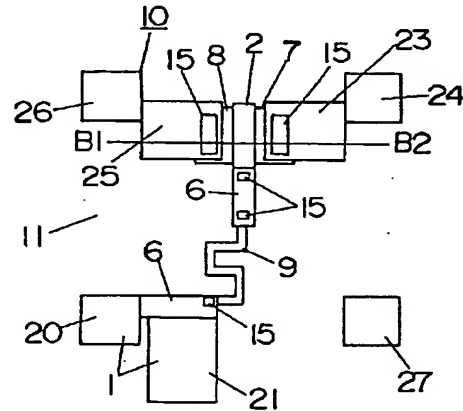
最終頁に続く

(54) 【発明の名称】 プラズマダメージ評価用素子群及びプラズマダメージの評価方法

(57) 【要約】

【課題】 半導体の製造工程及び組立工程の両方におけるプラズマダメージを評価することができ、また、構造が異なる複数種の半導体素子に対するプラズマダメージを評価することができるプラズマダメージ評価用素子群を提供する。

【解決手段】 プラズマの照射による半導体素子のダメージを評価するためのプラズマダメージ評価用素子群に関する。ゲート電極2に接続される導体部1とゲート絶縁膜5とを備えた半導体素子によりプラズマダメージ評価用素子10を構成する。導体部1のプラズマに曝される部分の面積とゲート電極2の面積との比率で定義されるアンテナ比と、ゲート絶縁膜5の厚みと、ゲート電極2の面積のうちの少なくとも一つが異なる複数種のプラズマダメージ評価用素子10を備える。



- 1…導体部
- 2…ゲート電極
- 7…ソース電極
- 8…ドレイン電極
- 9…保護抵抗
- 10…プラズマダメージ評価用素子
- 11…半導体基板

【特許請求の範囲】

【請求項1】 プラズマの照射による半導体素子のダメージを評価するためのプラズマダメージ評価用素子群であって、ゲート電極に接続される導体部とゲート絶縁膜とを備えた半導体素子によりプラズマダメージ評価用素子を構成し、導体部のプラズマに曝される部分の面積とゲート電極の面積との比率で定義されるアンテナ比と、ゲート絶縁膜の厚みと、ゲート電極の面積のうちの少なくとも一つが異なる複数種のプラズマダメージ評価用素子を備えて成ることを特徴とするプラズマダメージ評価用素子群。

【請求項2】 プラズマダメージ評価用素子がMIS構造を有する半導体素子であることを特徴とする請求項1に記載のプラズマダメージ評価用素子群。

【請求項3】 ゲート電極に保護抵抗を接続したプラズマダメージ評価用素子と、ゲート電極に保護抵抗を接続していないプラズマダメージ評価用素子とを備えて成ることを特徴とする請求項1又は2に記載のプラズマダメージ評価用素子群。

【請求項4】 アンテナ比を10000以下、ゲート絶縁膜の厚みを50nm以下、ゲート電極の面積を1000 μm^2 以下に形成して成ることを特徴とする請求項1乃至3のいずれかに記載のプラズマダメージ評価用素子群。

【請求項5】 複数のプラズマダメージ評価用素子のゲート電極、ソース電極、ドレイン電極をそれぞれ並列に接続して成ることを特徴とする請求項1乃至4のいずれかに記載のプラズマダメージ評価用素子群。

【請求項6】 ゲート絶縁膜を SiO_2 、 SiOH 、 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 、 Si_3N_4 、 Al_2O_3 、 $\text{TiO}_2/\text{Si}_3\text{N}_4$ 、 $\text{Ta}_2\text{O}_5/\text{SiON}$ 、 Ta_2O_5 、 ZrO_2 、 HfO_2 のうちの少なくとも一つで形成して成ることを特徴とする請求項1乃至5のいずれかに記載のプラズマダメージ評価用素子群。

【請求項7】 請求項1乃至6のいずれかに記載のプラズマダメージ評価用素子群にプラズマを照射した後、プラズマダメージ評価用素子のしきい値電圧、サブスレッショルドスイング、ソース電極もしくは半導体基板とドレイン電極間の耐圧、相互コンダクタンス、ゲートリーク電流、基板電流、チャネルリーク電流のうち、少なくとも一つの特性を計測することによって、プラズマの照射による半導体素子のダメージを評価することを特徴とするプラズマダメージの評価方法。

【請求項8】 請求項1乃至6のいずれかに記載のプラズマダメージ評価用素子群にプラズマを照射した後、プラズマダメージ評価用素子の定電圧印加試験と定電流印加試験の少なくとも一つを行い、ゲート絶縁膜の信頼性寿命を計測することによって、プラズマの照射による半導体素子のダメージを評価することを特徴とするプラズマダメージの評価方法。

【請求項9】 請求項7又は8に記載のプラズマダメージの評価方法をプラズマ照射時間を異ならせて複数回行うことによって、プラズマダメージ評価用素子にダメージが生じないプラズマ照射時間を求めて未劣化プラズマ照射時間とし、アンテナ比、ゲート絶縁膜の厚み、ゲート電極の面積、ゲート絶縁膜の材質のうちの少なくとも一つに対する未劣化プラズマ照射時間の変化から最も短い未劣化プラズマ照射時間を求め、この最も短い未劣化プラズマ照射時間よりもさらに短いプラズマ照射時間を安全照射時間とすることを特徴とするプラズマダメージの評価方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体の製造工程や組立工程において使用されるプラズマが半導体素子（トランジスタや抵抗などの回路素子）に与えるダメージ（損傷）を評価するためのプラズマダメージ評価用素子群及びこれを用いたプラズマダメージの評価方法に関するものである。

【0002】

【従来の技術】従来より、半導体の製造工程、例えば、CVDなどのようにプラズマを用いた化学反応を利用して製膜などを行ったり、RIEなどのように半導体基板上の酸化膜やレジストや電極配線を除去したりする工程でプラズマが使用されている。また、半導体の組立工程においても精密な接合が要求される場合にその接合の信頼性を向上させることを狙いとしてプラズマが使用されており、例えば、半導体チップあるいはこれを実装したパッケージ基板などの電子部品の表面にプラズマを吹き付けてクリーニングし、ワイヤボンディングの接合性の向上や封止樹脂との密着性の向上などが図られている。

【0003】しかし、上記のようなプラズマ処理を行うと半導体素子にダメージ（プラズマダメージ）が発生し、その結果、半導体素子の特性変動や信頼性寿命が低下することが知られている。ここで、プラズマダメージの一つであるチャージアップダメージについて説明する。図10は半導体素子14の断面図であって、シリコン基板（シリコン単結晶基板）等の半導体基板11上に形成されたゲート電極2周辺の概略図である。チャージアップは、プラズマ中の荷電粒子3が半導体素子14のゲート電極2と電気的に接続されたゲート配線6に注入され、ゲート配線6とゲート電極2を介してゲート絶縁膜（ゲート酸化膜）5に蓄積されることで起こる現象である。ゲート配線6上には半導体素子14の表面を保護するためにパッシベーション膜4が形成されているが、ゲート配線6のワイヤボンディングやバンプ接合を行う部分であるゲート接合部20に対応する位置にはパッシベーション膜4が形成されておらず、プラズマ処理時にはこのゲート接合部20が直接プラズマに曝されることになって、ゲート接合部20がプラズマ中の荷電粒子3を拾う

アンテナの役割を果たすのである。

【0004】そして、上記のチャージアップ現象が過度に進むと、やがてゲート絶縁膜5の物理特性に影響を及ぼす。具体的には、ゲート絶縁膜5の物理特性が変化した結果、MOSFET (MOS形電界効果トランジスタ) の場合には g_m (コンダクタンス) や V_{th} (スレッショルド電圧) などが変動する。これがチャージアップダメージと呼ばれる現象である。

【0005】チャージアップダメージの評価方法としては、MNOS (メタルーシリコンナイトライドーシリコン酸化膜ーシリコン) 素子を用いて、プラズマ処理前後でのVFB (フラットバンド電圧) のシフト量を測定する方法や、酸化膜に定電流を流し込みメタルーシリコン間がブレイクダウンするまでの時間を計測する方法 (Qbd評価法) などがあり、これらの方法によりダメージの発生の有無や大きさをプラズマ照射前後での酸化膜寿命の変化量で知ることができるものである。

【0006】そして、従来より、上記のようなプラズマダメージを定量的に評価する方法や装置が提案されている。例えば、特開平11-003922号公報、特開平11-145236号公報、特開平10-178078号公報、特開平06-043138号公報においては、半導体製造工程でプラズマが使用される場合に、そのプラズマプロセスが半導体素子に与えるダメージを評価する方法や、その方法を実現する評価装置の構造が記載されている。また、特開平10-041362号公報においては、半導体製造工程内で発生するプラズマダメージの中でも特にシリコン基板に与えるダメージの大きさを評価する評価素子やそれを用いた評価方法が記載されている。さらに、特開2000-124204号公報や特開平11-238774号公報においては、半導体の製造工程で使用されるプラズマ内の荷電粒子 (正イオンや負イオンあるいは電子) を計測する方法が記載されている。

【0007】

【発明が解決しようとする課題】しかし、上記従来のプラズマダメージの評価方法及び装置は、半導体の製造工程内で発生するプラズマダメージを評価するものであって、ウェハからダイシングした半導体チップをパッケージに組み込む際にプラズマ洗浄を行う場合などの半導体の組立工程で発生するプラズマダメージを効率的に評価することができなかった。すなわち、従来のプラズマダメージを評価する素子は、ウェハの余剰部分に形成されてダイシング後に切除されるために、半導体の組立工程におけるプラズマには供されず、従って、半導体の組立工程で発生するプラズマダメージを評価することができなかった。また、従来のプラズマダメージを評価する素子はウェハの製造と同時に形成されるため、そのウェハに形成される半導体素子しか評価することができず、構造が異なる複数種類の半導体素子を評価することができな

かった。

【0008】本発明は上記の点に鑑みてなされたものであり、半導体の製造工程及び組立工程の両方におけるプラズマダメージを評価することができ、また、構造が異なる複数種の半導体素子に対するプラズマダメージを評価することができるプラズマダメージ評価用素子群及びプラズマダメージの評価方法を提供することを目的とするものである。

【0009】

10 【課題を解決するための手段】本発明の請求項1に係るプラズマダメージ評価用素子群は、プラズマの照射による半導体素子のダメージを評価するためのプラズマダメージ評価用素子群であって、ゲート電極2に接続される導体部1とゲート絶縁膜5とを備えた半導体素子によりプラズマダメージ評価用素子10を構成し、導体部1のプラズマに曝される部分の面積とゲート電極2の面積との比率で定義されるアンテナ比と、ゲート絶縁膜5の厚みと、ゲート電極2の面積のうちの少なくとも一つが異なる複数種のプラズマダメージ評価用素子10を備えて成ることを特徴とするものである。

20 【0010】また、本発明の請求項2に係るプラズマダメージ評価用素子群は、請求項1の構成に加えて、プラズマダメージ評価用素子10がMIS構造を有する半導体素子であることを特徴とするものである。

30 【0011】また、本発明の請求項3に係るプラズマダメージ評価用素子群は、請求項1又は2の構成に加えて、ゲート電極2に保護抵抗9を接続したプラズマダメージ評価用素子10と、ゲート電極2に保護抵抗9を接続していないプラズマダメージ評価用素子10とを備えて成ることを特徴とするものである。

40 【0012】また、本発明の請求項4に係るプラズマダメージ評価用素子群は、請求項1乃至3のいずれかの構成に加えて、アンテナ比を10000以下、ゲート絶縁膜5の厚みを50nm以下、ゲート電極2の面積を1000 μm^2 以下に形成して成ることを特徴とするものである。

【0013】また、本発明の請求項5に係るプラズマダメージ評価用素子群は、請求項1乃至4のいずれかの構成に加えて、複数のプラズマダメージ評価用素子10のゲート電極2、ソース電極7、ドレイン電極8をそれぞれ並列に接続して成ることを特徴とするものである。

【0014】また、本発明の請求項6に係るプラズマダメージ評価用素子群は、請求項1乃至5のいずれかの構成に加えて、ゲート絶縁膜5を SiO_2 、 $SiOH$ 、 Si_3N_4/SiO_2 、 Si_3N_4 、 Al_2O_3 、 TiO_2/Si_3N_4 、 $Ta_2O_5/SiON$ 、 Ta_2O_5 、 ZrO_2 、 HfO_2 のうちの少なくとも一つで形成して成ることを特徴とするものである。

50 【0015】本発明の請求項7に係るプラズマダメージの評価方法は、請求項1乃至6のいずれかに記載のプラ

ズマダメージ評価用素子群にプラズマを照射した後、プラズマダメージ評価用素子10のしきい値電圧、サブスレッショルドスイング、ソース電極7もしくは半導体基板11とドレイン電極8間の耐圧、相互コンダクタンス、ゲートリーク電流、基板電流、チャネルリーク電流のうち、少なくとも一つの特性を計測することによって、プラズマの照射による半導体素子のダメージを評価することを特徴とするものである。

【0016】本発明の請求項8に係るプラズマダメージの評価方法は、請求項1乃至6のいずれかに記載のプラズマダメージ評価用素子群にプラズマを照射した後、プラズマダメージ評価用素子10の定電圧印加試験と定電流印加試験の少なくとも一つを行い、ゲート絶縁膜5の信頼性寿命を計測することによって、プラズマの照射による半導体素子のダメージを評価することを特徴とするものである。

【0017】本発明の請求項9に係るプラズマダメージの評価方法は、請求項7又は8に記載のプラズマダメージの評価方法をプラズマ照射時間を異ならせて複数行うことによって、プラズマダメージ評価用素子10にダメージが生じないプラズマ照射時間を求めて未劣化プラズマ照射時間とし、アンテナ比、ゲート絶縁膜5の厚み、ゲート電極2の面積、ゲート絶縁膜5の材質のうちの少なくとも一つに対する未劣化プラズマ照射時間の変化から最も短い未劣化プラズマ照射時間を求め、この最も短い未劣化プラズマ照射時間よりもさらに短いプラズマ照射時間を安全照射時間とすることを特徴とするものである。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を説明する。

【0019】図1にプラズマダメージ評価用素子10の基本構造の一例を平面図で示す。このプラズマダメージ評価用素子10はシリコン基板等の半導体基板11上に形成されており、金属-絶縁膜-半導体の三層構造で形成されるMISJ(metal insulator semiconductor)構造を有するものであり、MIS構造の中でも絶縁膜を酸化膜で形成したMOS(metal oxide semiconductor)構造のものである。

【0020】図中において、2はゲート電極であって、ゲート電極2にはアルミニウム等で形成される第1のゲート配線6がコンタクト部15により電気的に接続されている。また、第1のゲート配線6には多結晶シリコン等で形成される保護抵抗9がコンタクト部15により電気的に接続されている。保護抵抗9は静電気等を遮断してゲート絶縁膜5の劣化を抑えるものである。また、保護抵抗9にはアルミニウム等で形成される第2のゲート配線6がコンタクト部15により電気的に接続されている。そして、この第2のゲート配線6には導体部1が電気的に接続されて形成されている。導体部1はゲート配

線6同様にアルミニウム等で形成されるものであって、ゲート接合部20とアンテナ部21とで構成されている。ゲート接合部20は半導体の組立工程においてワイヤボンドやバンプ接合を行う部分に相当する部分である。また、アンテナ部21はプラズマ中に含まれる電子やイオン等の荷電粒子3を拾いやすくして増幅するために設けられるものである。

【0021】図2に示すように、ゲート電極2はゲート絶縁膜5上に形成されるものであるが、ゲート絶縁膜5としては SiO_2 、 SiOH 、 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 、 Si_3N_4 、 Al_2O_3 、 $\text{TiO}_2/\text{Si}_3\text{N}_4$ 、 $\text{Ta}_2\text{O}_5/\text{SiON}$ 、 Ta_2O_5 、 ZrO_2 、 HfO_2 などの酸化膜あるいは窒化膜のうちの少なくとも一つで形成することができる。

【0022】図中において、7はソース電極、8はドレイン電極であり、図2に示すように、ソース電極7及びドレイン電極8は半導体基板11へボロン、リン、砒素などの不純物イオン等を拡散させた部分(拡散抵抗部分)で形成されている。ソース電極7にはアルミニウム等で形成されるソース配線23がコンタクト部15により電気的に接続されている。また、ソース配線23にはソース接合部24が電気的に接続されて形成されている。ソース接合部24は半導体の組立工程においてワイヤボンドやバンプ接合を行う部分に相当する部分であり、ソース配線23と同様にアルミニウムなどで形成されている。ドレイン電極8にはアルミニウム等で形成されるドレイン配線25がコンタクト部15により電気的に接続されている。また、ドレイン配線25にはドレイン接合部26が電気的に接続されて形成されている。ドレイン接合部26は半導体の組立工程においてワイヤボンドやバンプ接合を行う部分に相当する部分であり、ドレイン配線25と同様にアルミニウムなどで形成されている。図中に27はアルミニウム等で形成される電源接合部である。

【0023】上記のプラズマダメージ評価用素子10はその表面のほぼ全体が酸化膜や窒化膜等のパッシベーション膜4で被覆されているが、導体部1(ゲート接合部20とアンテナ部21)とソース接合部24とドレイン接合部26及び電源接合部27に対応する部分にはパッシベーション膜4が形成されておらず、プラズマが直接照射されることによりプラズマに曝されて荷電粒子3を授受する部分となるものである。

【0024】図3に他の構造を有するプラズマダメージ評価用素子10の基本構造を示す。このプラズマダメージ評価用素子10は保護抵抗9を介さずにゲート電極2と導体部1をゲート配線6により直接接続したものであり、この点を除いて図1に示すものと同様に形成されている。従って、図4に示すように、図3のプラズマダメージ評価用素子10においても図1のものと同様にアンテナ部21に対応する部分にはパッシベーション膜4が

形成されておらず、プラズマが直接照射されることによりプラズマに曝されて荷電粒子3を授受する部分となるものである。

【0025】図5に他の構造を有するプラズマダメージ評価用素子10の基本構造を示す。このプラズマダメージ評価用素子10は多結晶シリコンの保護抵抗9の代わりに、半導体基板11にボロン、リン、砒素などの不純物イオン等を拡散させることにより保護抵抗9を形成したものであり、この点を除いて図1に示すものと様に形成されている。従って、図5のプラズマダメージ評価用素子10においてもアンテナ部21に対応する部分には図1、3のものと同様にパッシベーション膜4が形成されておらず、プラズマが直接照射されることによりプラズマに曝されて荷電粒子3を授受する部分となるものである。

【0026】そして、図1～5に示す基本構造のプラズマダメージ評価用素子10において、導体部1のプラズマに曝される部分の面積とゲート電極2の面積との比率（導体部1のプラズマに曝される部分の面積／ゲート電極2の面積）で定義されるアンテナ比と、ゲート絶縁膜5の厚みと、ゲート電極2の面積のうちの少なくとも一つが異なる複数種のプラズマダメージ評価用素子10を形成し、この複数種のプラズマダメージ評価用素子10を一組として本発明のプラズマダメージ評価用素子群を形成することができる。すなわち、本発明のプラズマダメージ評価用素子群は複数種のプラズマダメージ評価用素子10を有するTEG（テストエレメントグループ）のように形成されるものである。

【0027】アンテナ比が異なる複数種のプラズマダメージ評価用素子10は、導体部1のプラズマに曝される部分の面積を異ならせたりゲート電極2の面積を異ならせたりして形成することができるが、導体部1のプラズマに曝される部分の面積を異ならせるには、導体部1の面積（特に、アンテナ部21の面積）を変えたりパッシベーション膜4による導体部1の被覆量（特に、アンテナ部21の被覆量）を変えたりするようにする。尚、導体部1のプラズマに曝される部分の面積とは、ゲート接合部20のプラズマに曝される部分の面積と、アンテナ部21のプラズマに曝される部分の面積との合計である。また、ゲート絶縁膜5の厚みやゲート電極2の面積を変えるには従来から半導体の製造工程で行われている既知の方法を採用することができる。また、本発明のプラズマダメージ評価用素子群はゲート絶縁膜5の材質が異なる複数種のプラズマダメージ評価用素子10を備えて形成してもよい。

【0028】本発明のプラズマダメージ評価用素子群は複数種のプラズマダメージ評価用素子10の全てを同一の半導体基板11に形成してもよいし、複数種のプラズマダメージ評価用素子10を別々の半導体基板11に形成してもよい。但し、ゲート絶縁膜5が異なる複数種の

プラズマダメージ評価用素子10を同一の半導体基板11に形成するのは製造工程が複雑になり好ましくないもので、ゲート絶縁膜5が異なる複数種のプラズマダメージ評価用素子10は別々の半導体基板11に形成するのが好ましい。また、本発明のプラズマダメージ評価用素子群はウェハに形成されていてもよいし、ウェハからダイシングされたチップに形成されていてもよい。さらに、本発明のプラズマダメージ評価用素子群は同一又は別々の半導体基板11に複数組形成してもよい。また、本発明のプラズマダメージ評価用素子群は図1、図3、図5に示すプラズマダメージ評価用素子10を併用して形成してもよく、特に、図1と図5に示すプラズマダメージ評価用素子10の少なくとも一方と図3に示すプラズマダメージ評価用素子10とを併用することによって、保護抵抗9を有する実際の半導体素子（ICやLSIなど）と保護抵抗9を有さない実際の半導体素子の両方に生じるプラズマダメージを一つのプラズマダメージ評価用素子群を用いて同時に評価することができるものである。

【0029】そして、本発明のプラズマダメージ評価用素子群にプラズマを照射した後、後述のように、各プラズマダメージ評価用素子10のしきい値電圧等の特性を測定することによりプラズマダメージ評価用素子10に生じるプラズマダメージを評価するものであり、この評価結果に基づいて、プラズマダメージ評価用素子10と同一又は類似の構造を有する実際（製品）の半導体素子のプラズマダメージを評価（推測）することができるものである。

【0030】そして、本発明のプラズマダメージ評価用素子群は複数種のプラズマダメージ評価用素子10を具備して形成されているので、一つのプラズマダメージ評価用素子群についてプラズマダメージを評価することによって、複数種のプラズマダメージ評価用素子10に生じるプラズマダメージを一度に得ることができ、集積度などの構造が異なる複数種の実際の半導体素子（ICやLSI等）に対するプラズマダメージ（プラズマ照射による影響）を正確且つ効率よく評価することが可能となるものである。また、集積度などの構造が異なる多種類のプラズマダメージ評価用素子10を備えてプラズマダメージ評価用素子群を形成することによって、集積度などの構造が異なるあらゆる半導体素子に対するプラズマダメージを正確且つ効率よく評価することが可能となるものである。

【0031】例えば、ゲート絶縁膜5の厚みが異なる複数種のプラズマダメージ評価用素子10を備えてプラズマダメージ評価用素子群を形成することによって、ゲート絶縁膜5の厚みが異なる様々な半導体素子のプラズマダメージの評価に適用することができるものである。また、ゲート絶縁膜5の材質が異なる複数種のプラズマダメージ評価用素子10を備えてプラズマダメージ評価用

素子群を形成することによって、ゲート絶縁膜5の材質が異なる複数種の実際の半導体素子に対するプラズマダメージを正確且つ効率よく評価することが可能となるものである。また、ゲート絶縁膜5の材質が異なる多種類のプラズマダメージ評価用素子10を備えてプラズマダメージ評価用素子群を形成することによって、ゲート絶縁膜5の材質が異なるあらゆる半導体素子に対するプラズマダメージを正確且つ効率よく評価することが可能となるものである。

【0032】また、本発明のプラズマダメージ評価用素子群は、製品となる実際の半導体素子が形成された製品ウェハに設けてもよいし、あるいは製品となる半導体素子が形成されていない評価専用のウェハに設けてもよい。従って、半導体の製造工程及び組立工程の両方でプラズマダメージを評価することができるものである。また、一つのウェハあるいはチップに本発明のプラズマダメージ評価用素子群を形成することによって、一つのウェハあるいはチップで複数種のプラズマダメージ評価用素子10に対するプラズマダメージを評価することができ、ウェハあるいはチップの効率的な使用にもつながるものである。

【0033】上記のプラズマダメージ評価用素子10において、アンテナ比を10000以下、ゲート絶縁膜5の厚みを50nm以下、ゲート電極2の面積を1000 μm^2 以下に形成するのが好ましい。現在製造されている半導体素子の全てが上記ような範囲のアンテナ比とゲート絶縁膜5の厚みとゲート電極2の面積を有するものである。従って、上記ような範囲のアンテナ比とゲート絶縁膜5の厚みとゲート電極2の面積を有する複数種のプラズマダメージ評価用素子10を備えてプラズマダメージ評価用素子群を形成することによって、全てのLSI等の半導体素子に対するプラズマダメージを評価することができるものである。尚、アンテナ比とゲート絶縁膜5の厚みとゲート電極2の面積の各下限は特に設定されるものではないが、アンテナ比の下限は 2.3×10^{-4} 、ゲート絶縁膜5の厚みの下限は0.05nm、ゲート電極2の面積の下限は0.1 μm^2 にそれぞれ設定することができる。

【0034】図6に本発明のプラズマダメージ評価用素子群の一例を示す。このプラズマダメージ評価用素子群ではMIS(MOS)構造の複数のプラズマダメージ評価用素子10が近接して配置されている。また、各プラズマダメージ評価用素子10のゲート電極2同士、ソース電極7同士、ドレイン電極8同士が電気的に並列に接続されている。すなわち、複数のゲート電極2がゲート配線6とコンタクト部15により並列に接続されており、このゲート配線6にはゲート接合部20とアンテナ部21が一つずつ接続されている。また、複数のソース電極7がソース配線23とコンタクト部15により並列に接続されている。さらに、複数のドレイン電極8がド

レイン配線25とコンタクト部15により並列に接続されている。その他の構成は図1～5に示すものと同様に形成されている。尚、プラズマダメージ評価用素子10間の電源を並列に接続して電源接合部27を共通化してもよい。

【0035】このプラズマダメージ評価用素子群では小型化を図ることができる。すなわち、図1～5のものである、各プラズマダメージ評価用素子10のそれぞれにゲート接合部20、アンテナ部21、ソース接合部24、ドレイン接合部25、電源接合部27を個別に設けなければならないが、図6のものではこれらを共通化することができ、従って、ウェハあるいはチップの表面積を小さくすることができて小型化を図ることができるものである。尚、図6のものではゲート電極2の面積を各プラズマダメージ評価用素子10の間で異ならせることによって、アンテナ比やゲート電極2の面積が異なる複数種のプラズマダメージ評価用素子10を形成することができる。

【0036】次に、上記のような本発明のプラズマダメージ評価用素子群を用いてプラズマダメージを評価する方法の一例を説明する。まず、プラズマを照射する前にプラズマダメージ評価用素子群の各プラズマダメージ評価用素子10について、半導体素子(MOS素子)の初期特性を計測する。この初期特性はプラズマダメージによって敏感に影響を受けるものであり、具体的な初期特性としては、しきい値電圧、サブスレッショルドスイング(サブスレッショルド係数)、ソース電極7もしくは半導体基板11とドレイン電極8間の耐圧、相互コンダクタンス、ゲートリーク電流、基板電流、チャネルリーク電流などを例示することができ、これらのうちの少なくとも一つの特性を計測する。次に、初期特性計測後のプラズマダメージ評価用素子群にプラズマを照射する。次に、プラズマを照射した後のプラズマダメージ評価用素子群の各プラズマダメージ評価用素子10について、上記と同様に初期特性を計測する。

【0037】そして、このようにプラズマ照射前後での初期特性の変化を求めることにより、半導体素子(MOS素子)の初期特性にプラズマが影響を与えてダメージを発生させるか否かを評価することができる。すなわち、プラズマ照射前後で初期特性の変化が無ければ、プラズマダメージが発生していないと判断することができる。また、プラズマ照射前後で初期特性の変化があれば、プラズマダメージが発生していると判断することができる。しかも、プラズマ照射前後での初期特性の変化量を求めることにより、プラズマダメージの程度を定量的に評価することができる。また、プラズマの照射開始から一定時間毎に初期特性を計測することによって、プラズマの照射時間に対するプラズマダメージの有無やプラズマダメージの程度の変化を求めることができるものである。

【0038】図7(a)に示すグラフは、NMOS(N

11

チャネルMOS)素子で形成されるプラズマダメージ評価用素子10において、しきい値電圧のプラズマ照射時間の依存性を示している。図7(a)から明らかなように、このプラズマダメージ評価用素子10ではプラズマ照射による初期特性(しきい値電圧)の変動が無いことが判る。また、図7(b)に示すグラフは、NMOS素子で形成されるプラズマダメージ評価用素子10において、ソース電極とドレイン電極間耐圧のプラズマ照射時間依存性を示している。図7(b)から明らかなように、このプラズマダメージ評価用素子10ではプラズマ照射による初期特性(ソース電極とドレイン電極間耐圧)の変動が無いことが判る。さらに、図7(c)に示すグラフは、NMOS素子で形成されるプラズマダメージ評価用素子10において、サブスレッシュホールドスイングのプラズマ照射時間依存性を示している。図7(c)から明らかなように、このプラズマダメージ評価用素子10ではプラズマ照射時間が長くなるにつれて、サブスレッシュホールドスイングの微増が認められるものであり、これは物理的には界面単位密度の増加を表している。尚、図7(a)~(c)では同じ種類のプラズマダメージ評価用素子10を複数個用いて測定した結果を示し、従って、グラフの線及び点が複数個存在している。

【0039】このようにして、複数種のプラズマダメージ評価用素子10についてプラズマ照射による初期特性の変動を求めることにより、ある条件のプラズマがどのような構造を有する半導体素子にプラズマダメージを与えるのか、ある構造を有する半導体素子がプラズマの照射時間によりどのようにプラズマダメージを受けていくのかなどを求めることができるものである。

【0040】次に、本発明のプラズマダメージ評価用素子群を用いてプラズマダメージを評価する方法の他例を説明する。まず、プラズマを照射する前にプラズマダメージ評価用素子群の各プラズマダメージ評価用素子10について、半導体素子(MOS素子)の信頼性特性を計測する。この信頼性特性はプラズマダメージによって敏感に影響を受けるものであり、具体的な信頼性特性の計測としては、定電圧印加試験と定電流印加試験などを例示することができ、これらのうちの少なくとも一つの特性を行うようにする。次に、信頼性特性計測後のプラズマダメージ評価用素子群にプラズマを照射する。次に、プラズマを照射した後のプラズマダメージ評価用素子群の各プラズマダメージ評価用素子10について、上記と同様に信頼性特性を計測する。

【0041】そして、このようにプラズマ照射前後での信頼性特性の変化を求めることにより、半導体素子(MOS素子)の信頼性特性にプラズマが影響を与えてダメージを発生させるか否かを評価することができる。すなわち、プラズマ照射前後で信頼性特性の変化が無ければ、プラズマダメージが発生していないと判断することができ、プラズマ照射前後で信頼性特性の変化があれ

12

ば、プラズマダメージが発生していると判断することができる。しかも、プラズマ照射前後での信頼性特性の変化量を求めることにより、プラズマダメージの程度を定量的に評価することができる。また、プラズマの照射開始から一定時間毎に信頼性特性を計測することによって、プラズマの照射時間に対するプラズマダメージの有無やプラズマダメージの程度の変化を求めることができるものである。

【0042】図8に示すグラフは、NMOS素子で形成されるプラズマダメージ評価用素子10において、定電流印加試験における電流印加時間に対する累積不良率をプロット(メジアンランク法)したものであり、ゲート酸化膜のQbd寿命のプラズマ照射時間の依存性を示している。図8から明らかなように、このプラズマダメージ評価用素子10ではプラズマ照射によるプラズマ照射時間が長くなることによりQbd寿命が短くなることが判る。

【0043】このようにして、複数種のプラズマダメージ評価用素子10についてプラズマ照射による信頼性特性の変動を求めることにより、ある条件のプラズマがどのような構造を有する半導体素子にプラズマダメージを与えるのか、あるいはある構造を有する半導体素子がプラズマの照射時間によりどのようにプラズマダメージを受けていくのかなどを求めることができるものである。

【0044】そして、半導体の製造工程及び組立工程において、上記のような本発明のプラズマダメージの評価方法を行うことによって、実際(製品)の半導体素子にプラズマを照射する前に予めプラズマダメージが発生しないプラズマの照射条件の範囲を明確にすることができ、未然にプラズマダメージの発生を防止したり、効率的なプラズマ処理条件を検討することが可能になるものである。

【0045】以下に、プラズマ照射条件の一つである安全照射時間の設定方法を具体的に示す。まず、アンテナ比及びゲート絶縁膜5の厚みが異なる複数種のプラズマダメージ評価用素子10を備えたプラズマダメージ評価用素子群に、プラズマ照射を照射時間を異ならせて複数回行う。これにより、プラズマダメージ評価用素子10にダメージが生じないプラズマ照射時間を求めて未劣化プラズマ照射時間とする。次に、上記で求めた未劣化プラズマ照射時間について、アンテナ比とゲート絶縁膜5の厚みに対する変化を考察する。図9(a)に示すグラフは、ゲート絶縁膜5の厚みが3nm、5nm、10nm、20nmのプラズマダメージ評価用素子10のそれぞれについて、未劣化プラズマ照射時間のアンテナ比依存性を示すものである。また、図9(b)に示すグラフは、未劣化プラズマ照射時間のゲート絶縁膜5の厚み依存性を示すものである。次に、図9(a)(b)に示す未劣化プラズマ照射時間の変化から最も短い未劣化プラズマ照射時間を求める。この例では図9(b)における

30秒が最も短い未劣化プラズマ照射時間であることが判る。次に、この最も短い未劣化プラズマ照射時間よりもさらに短いプラズマ照射時間を安全照射時間とする。この例では安全照射時間を30秒未満とすることができ、この安全照射時間は10000以下のアンテナ比で3~10nmのゲート絶縁膜を有する全ての半導体素子(単結晶シリコン上に形成したICなど)に対してダメージなくプラズマを照射できる時間になるものである。

【0046】尚、上記の例ではアンテナ比及びゲート絶縁膜5の厚みが異なる複数種のプラズマダメージ評価用素子10を備えたプラズマダメージ評価用素子群を用いたが、ゲート電極2の面積やゲート絶縁膜5の材質の異なる複数種のプラズマダメージ評価用素子10を備えたプラズマダメージ評価用素子群を用い、上記と同様にして安全照射時間を求めるようにしてもよい。

【0047】

【発明の効果】上記のように本発明の請求項1の発明は、プラズマの照射による半導体素子のダメージを評価するためのプラズマダメージ評価用素子群であって、ゲート電極に接続される導体部とゲート絶縁膜とを備えた半導体素子によりプラズマダメージ評価用素子を構成し、導体部のプラズマに曝される部分の面積とゲート電極の面積との比率で定義されるアンテナ比と、ゲート絶縁膜の厚みと、ゲート電極の面積のうちの少なくとも一つが異なる複数種のプラズマダメージ評価用素子を備えるので、プラズマの照射で変化する各プラズマダメージ評価用素子の特性を測定することにより複数種のプラズマダメージ評価用素子に生じるプラズマダメージを評価することができ、構造が異なる複数種の半導体素子に対するプラズマダメージを正確に且つ効率よく評価することができるものであり、また、半導体の製造工程及び組立工程で使用するプラズマを照射することにより、半導体の製造工程及び組立工程の両方におけるプラズマダメージを評価することができるものである。

【0048】また、本発明の請求項2の発明は、プラズマダメージ評価用素子がMIS構造を有する半導体素子であるので、多くの半導体素子に採用されているMIS構造の半導体素子に対するプラズマダメージを評価することができるものである。

【0049】また、本発明の請求項3の発明は、ゲート電極に保護抵抗を接続したプラズマダメージ評価用素子と、ゲート電極に保護抵抗を接続していないプラズマダメージ評価用素子とを備えるので、ゲート電極に保護抵抗を接続した実際の半導体素子を考慮したプラズマダメージや、ゲート電極に保護抵抗を接続していない場合の評価を同に行うことができるものである。

【0050】また、本発明の請求項4の発明は、アンテナ比を10000以下、ゲート絶縁膜の厚みを50nm以下、ゲート電極の面積を1000 μm^2 以下に形成するので、全てのLSI等の半導体素子に対するプラズ

マダメージを評価することができるものである。

【0051】また、本発明の請求項5の発明は、複数のプラズマダメージ評価用素子のゲート電極、ソース電極、ドレイン電極をそれぞれ並列に接続するので、複数のプラズマダメージ評価用素子について導体部等を共通化することができ、小型化を図ることができるものである。

【0052】また、本発明の請求項6の発明は、ゲート絶縁膜を SiO_2 、 SiOH 、 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 、 Si_3N_4 、 Al_2O_3 、 $\text{TiO}_2/\text{Si}_3\text{N}_4$ 、 $\text{Ta}_2\text{O}_5/\text{SiON}$ 、 Ta_2O_5 、 ZrO_2 、 HfO_2 のうちの少なくとも一つで形成するので、ゲート絶縁膜5の材質が異なる複数種のプラズマダメージ評価用素子に生じるプラズマダメージを評価することができ、構造が異なる複数種の半導体素子に対するプラズマダメージを正確に且つ効率よく評価することができるものである。

【0053】また、本発明の請求項7の発明は、請求項1乃至6のいずれかに記載のプラズマダメージ評価用素子群にプラズマを照射した後、プラズマダメージ評価用素子のしきい値電圧、サブスレッショルドスイング、ソース電極もしくは半導体基板とドレイン電極間の耐圧、相互コンダクタンス、ゲートリーク電流、基板電流、チャネルリーク電流のうち、少なくとも一つの特性を計測することによって、プラズマの照射による半導体素子のダメージを評価するので、プラズマダメージによって敏感に影響を受ける半導体素子の初期特性を計測することができ、半導体素子の初期特性にプラズマが影響を与えてダメージを発生させるか否かを評価することができると共にそのダメージの程度を定量的に評価することができるものである。

【0054】また、本発明の請求項8の発明は、請求項1乃至6のいずれかに記載のプラズマダメージ評価用素子群にプラズマを照射した後、プラズマダメージ評価用素子の定電圧印加試験と定電流印加試験の少なくとも一つを行い、ゲート絶縁膜の信頼性寿命を計測することによって、プラズマの照射による半導体素子のダメージを評価するので、プラズマダメージによって敏感に影響を受ける半導体素子の信頼性特性を計測することができ、半導体素子の信頼性特性にプラズマが影響を与えてダメージを発生させるか否かを評価することができると共にそのダメージの程度を定量的に評価することができるものである。

【0055】また、本発明の請求項9の発明は、請求項7又は8に記載のプラズマダメージの評価方法をプラズマ照射時間を異ならせて複数回行うことによって、プラズマダメージ評価用素子にダメージが生じないプラズマ照射時間を求めて未劣化プラズマ照射時間とし、アンテナ比、ゲート絶縁膜の厚み、ゲート電極の面積、ゲート絶縁膜の材質のうちの少なくとも一つに対する未劣化プラズマ照射時間の変化から最も短い未劣化プラズマ照射

15

時間を求め、この最も短い未劣化プラズマ照射時間よりもさらに短いプラズマ照射時間を安全照射時間とするので、プラズマダメージ評価用素子に限らず、単結晶シリコン上に形成したICなどの広く一般の半導体素子全般に対してプラズマダメージのない安全照射時間を得ることができ、この安全照射時間内でプラズマを照射することによって、ダメージなくプラズマを照射することができるものである。

【図面の簡単な説明】

【図1】本発明のプラズマダメージ評価用素子の一例を示す平面図である。

【図2】同上の図1及び図3のB1-B2断面を示す断面図である。

【図3】同上のプラズマダメージ評価用素子の他例を示す平面図である。

【図4】同上の図3のA1-A2断面を示す断面図である。

【図5】同上のプラズマダメージ評価用素子の他例を示す平面図である。

【図6】同上のプラズマダメージ評価用素子群の一例を示す平面図である。

【図7】同上の(a)はプラズマ照射時間としきい値電

16

圧(Vth)の関係を示すグラフ、(b)はプラズマ照射時間と耐電圧の関係を示すグラフ、(c)はプラズマ照射時間とサブスレッショルドスイング(S)の関係を示すグラフである。

【図8】同上の定電流印加試験における電流印加時間と累積不良率の関係を示すグラフである。

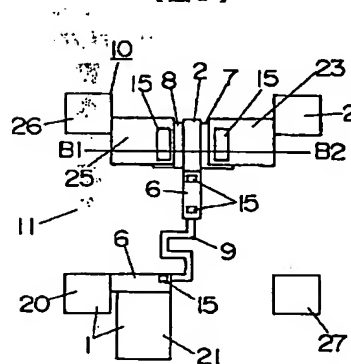
【図9】同上の(a)はアンテナ比と未劣化プラズマ照射時間の関係を示すグラフ、(b)はゲート絶縁膜の膜厚と未劣化プラズマ照射時間の関係を示すグラフである。

【図10】半導体素子のプラズマ照射時の状態を示す断面図である。

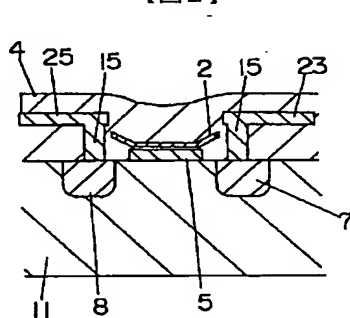
【符号の説明】

- 1 導体部
- 2 ゲート電極
- 5 ゲート絶縁膜
- 7 ソース電極
- 8 ドレイン電極
- 9 保護抵抗
- 10 プラズマダメージ評価用素子
- 11 半導体基板

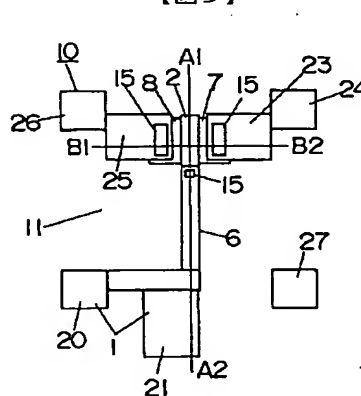
【図1】



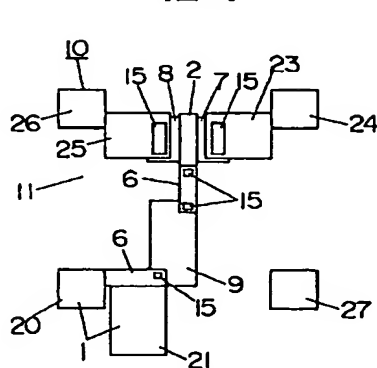
【図2】



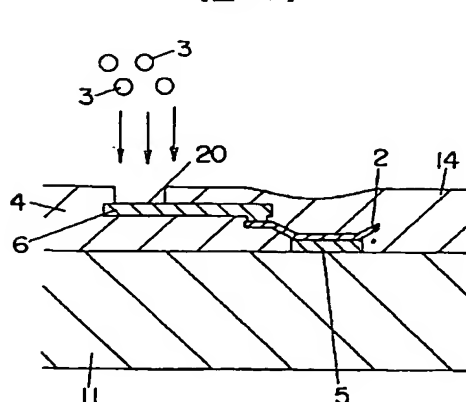
【図3】



【図5】

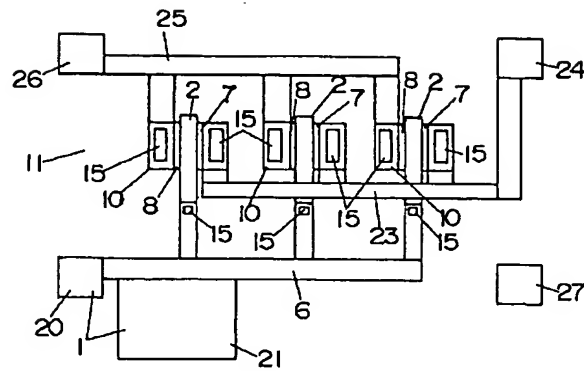


【図10】

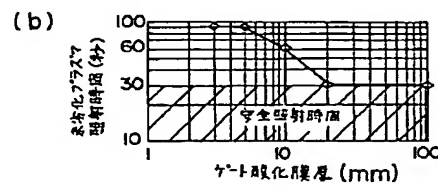
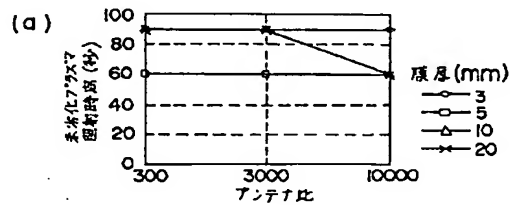
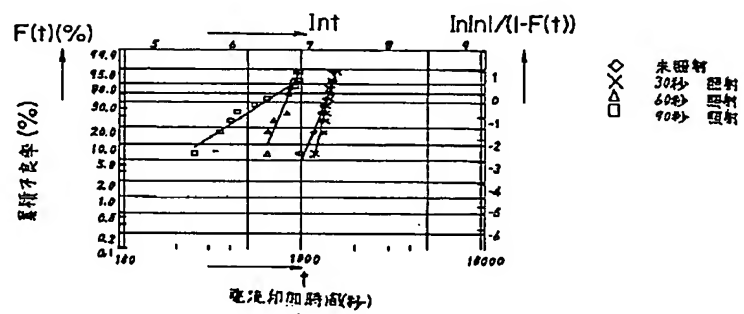


- 1...導体部
- 2...ゲート電極
- 7...ソース電極
- 8...ドレイン電極
- 9...保護抵抗
- 10...プラズマダメージ評価用素子
- 11...半導体基板

【図6】



【図8】



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

ターム(参考)

H 0 1 L 29/78

F ターム(参考) 4M106 AA01 AA02 AA07 AB01 BA14
CA32 CA70 CB10
5F038 AR01 AR09 AV06 BH02 BH13
EZ15 EZ20
5F048 AA07 AC01 AC10 BA01 BB03
BB10 BB11 BB12 BB16 BF02
5F140 AA00 AA37 AA38 AB10 BA01
BD01 BD04 BD05 BD07 BD09
BD10 BD11 BD12 BF01 BF05
BJ01 BJ05 BK12 CA10 CC03
CC08 DA01 DA08